


# SOLID-STATE IMAGE-PICKUP DEVICE

**Patent number:** JP10326887  
**Publication date:** 1998-12-08  
**Inventor:** NAKASHIBA YASUTAKA  
**Applicant:** NEC CORP  
**Classification:**  
 - international: H01L27/148; H01L29/762; H01L21/339  
 - european:  
**Application number:** JP19970150407 19970523  
**Priority number(s):**

Also published as:

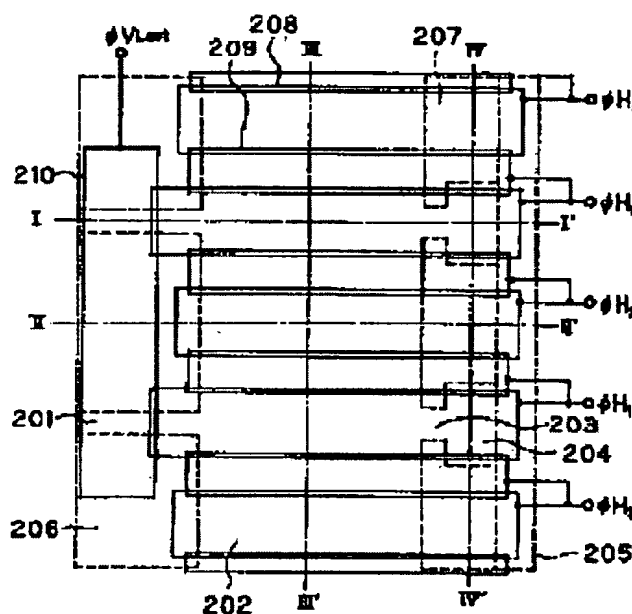
 US6573937 (B)

Report a data error he

## Abstract of JP10326887

**PROBLEM TO BE SOLVED:** To provide a solid-stage image-pickup device which can prevent the charge transfer capacity of a horizontal charge transfer part from decreasing by suppressing modulation of the potential of a 3rd P<+>-type semiconductor region as a 3rd element separation part determining the potential of a potential barrier part, when a voltage is applied to a horizontal charge transfer electrode as a solid-state image-pickup device which has an unwanted charge cancelling part adjacent to a horizontal charge transfer part.

**SOLUTION:** This device consists of a vertical charge transfer part 201, a horizontal charge transfer part 202, a potential barrier part 203, an unwanted charge cancelling part 204, a 1st element separation part 205, a 2nd element separation part 206, a 3rd element separation part 207, a 1st horizontal charge transfer electrode 208, a 2nd horizontal charge transfer electrode 209, and a final vertical charge transfer electrode 210. In this case, the 3rd element separation part 207 which determines the potential of the potential barrier part by narrow-channel effect is formed into a projection shape, and the projection part is formed in contact with the 1st element separation part 205 connected to a metal wire which supplies a reference potential.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-326887

(43) 公開日 平成10年(1998)12月8日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/148

H 0 1 L 27/14

B

29/762

29/76

3 0 1 A

21/339

審査請求 有 請求項の数 8 F D (全 14 頁)

(21) 出願番号

特願平9-150407

(22) 出願日

平成9年(1997)5月23日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中柴 康▲隆▼

東京都港区芝五丁目7番1号 日本電気株式会社内

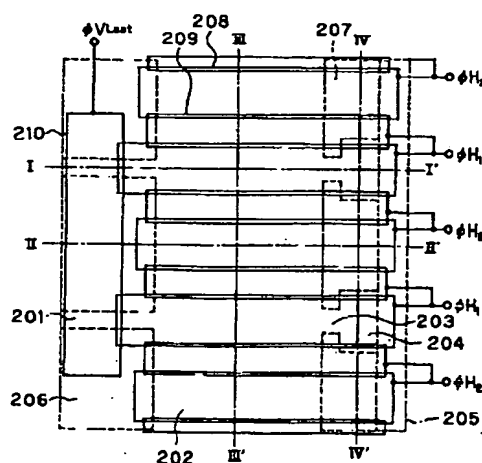
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 水平電荷転送部に隣接して不要電荷排出部を有する固体撮像装置において、水平電荷転送電極に電圧が印加された場合、電位障壁部の電位ポテンシャルを決定する第3の素子分離部となる第3のP<sup>+</sup>型半導体領域の電位が変調されるのを抑制し、水平電荷転送部の電荷転送容量の低下を防ぐことができる固体撮像装置の提供。

【解決手段】 垂直電荷転送部201と水平電荷転送部202と電位障壁部203と不要電荷排出部204と第1の素子分離部205と第2の素子分離部206と第3の素子分離部207と第1の水平電荷転送電極208と第2の水平電荷転送電極209、最終の垂直電荷転送電極210から構成されており、ナローチャンネル効果により電位障壁部の電位ポテンシャルを決定する第3の素子分離部207を凸形状に形成し、凸部を基準電位供給している金属配線と接続された第1の素子分離部205と接触して形成されている。



201: 垂直電荷転送部  
202: 水平電荷転送部  
203: 電位障壁部  
204: 不要電荷排出部  
205: 第1の素子分離部  
206: 第2の素子分離部  
207: 第3の素子分離部  
208: 第1の水平電荷転送電極  
209: 第2の水平電荷転送電極  
210: 最終の垂直電荷転送電極

## 【特許請求の範囲】

【請求項1】第1導電型半導体基板の一主表面に形成された第2導電型半導体ウェル層表面内に形成され、第1の素子分離部内に形成された出力回路部と、前記第1の素子分離部と接続された第2の素子分離部内に形成された2次的に複数個配置された光電変換部と、前記光電変換部に隣接して配置された複数個の垂直電荷転送部と、前記垂直電荷転送部の一端に隣接して配置された水平電荷転送部と、第3の素子分離部内に形成され、第3の素子分離部のナローチャンネル効果により形成された電位障壁部と、前記電位障壁部に隣接して、前記水平電荷転送部と反対側に配置され、前記第2導電型半導体ウェル層に対して逆方向に印加されている第1導電型半導体基板からなる不要電荷排出部と、を有してなる固体撮像装置において、前記第3の素子分離部が、前記第1の素子分離部と接続されていることを特徴とする固体撮像装置。

【請求項2】前記電位障壁部と不要電荷排出部上に、絶縁膜を介して前記水平電荷転送部の電荷転送電極が形成されている、ことを特徴とする請求項1記載の固体撮像装置。

【請求項3】前記不要電荷排出部となる第1導電型半導体基板表面に、前記水平電荷転送部の埋め込みチャンネルを構成する第1導電型半導体領域が形成されていることを特徴とする請求項1、又は2記載の固体撮像装置。

【請求項4】前記第2の素子分離部と第3の素子分離部が同一であることを特徴とする請求項1、2、3のいずれか一に記載の固体撮像装置。

【請求項5】前記第2導電型半導体ウェル層に対して逆方向に印加されている第1導電型半導体基板からなる前記不要電荷排出部に印加される電圧と、前記電位障壁部の電位ポテンシャルの電位差が、0.5V以上有ることを特徴とする請求項1、2、3、4のいずれか一に記載の固体撮像装置。

【請求項6】前記第3の素子分離部は、その平面形状が前記第1の素子分離部側に突出する凸形状とされ、該凸部において、前記第1の素子分離部と接触している、ことを特徴とする請求項1記載の固体撮像装置。

【請求項7】前記第1の素子分離部は、その平面形状が前記第3の素子分離部側に突出する凸部を含み、該凸部において前記第3の素子分離部と接触している、ことを特徴とする請求項1記載の固体撮像装置。

【請求項8】前記第3の素子分離部が前記第1の素子分離部の長手方向に沿って互いに離散して配置されていることを特徴とする請求項6又は7記載の固体撮像装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置に関し、特に水平電荷転送部に隣接して形成された電荷排出部を有する固体撮像装置の構成に関する。

【0002】

【従来の技術】従来カメラ一体型VTRの入力装置として使用されてきた固体撮像装置は、近年、多画素化が進み、フィルムを露光する代わりに、光学情報を電気信号に変換してこれを記憶媒体に記憶して、ハードコピーを作る、あるいは、モニタ画面で鑑賞する電子スチルカメラの入力装置として使用され始めている。

【0003】このような固体撮像装置は、光電変換部と、光電変換部で蓄積された信号電荷を垂直方向及び水平方向に転送する電荷転送部を有しており、本来必要な映像信号による信号電荷以外に、不必要な期間に光電変換された電荷やシリコン酸化膜界面からの発生電流による電荷等の不要な信号電荷が存在する。

【0004】カメラ一体型VTRの入力装置として使用した場合、このような不要な信号電荷は、数画面分の表示後、問題のないレベルに落ち着いてしまうため、大きな問題とはならないが、電子スチルカメラの入力装置として使用した場合、このような不要な信号電荷は、本来の映像信号による信号電荷に重畳され、画質の劣化を引き起こすことになる。

【0005】また、このような不要な信号電荷の除去に時間がかかった場合、シャッターボタンによるトリガがかかった後、実際にシャッターが開閉するまでに時間的な遅れを生じることになり、その結果、シャッターチャンスを失う、という問題がある。

【0006】このために、電子スチルカメラの入力装置として使用される固体撮像装置は、カメラ一体型VTRに使用される場合と異なり、シャッターボタンによるトリガがかかると同時に光電変換部や垂直及び水平電荷転送部に存在するすべての不要な信号電荷を瞬時に除去する必要がある。

【0007】このような不要電荷の除去手段として、光電変換部に存在する不要電荷の除去は、一般的に、光電変換部を構成するN型半導体領域直下に濃度の薄いP<sup>-</sup>型半導体領域を形成し、N型半導体基板に逆バイアス電圧を印加することにより、余剰電荷をN型半導体基板に除去するブルーミング制御と、N型半導体領域自体を空乏化させ信号電荷をすべてN型半導体基板に除去する縦型オーバーフロードレイン構造を形成することにより、対応がされている。例えば文献（石原その他、“縦型オーバーフロー構造のCCDイメージセンサ”、テレビジョン学会誌、Vol.37、No.10(1983)、1983年10月、p.p. 782~787）が参照される。

【0008】また、水平電荷転送部に存在する不要電荷は、水平転送部の高速動作が可能なことより、通常の動作により水平電荷転送部端に設けられたリセットドレインに除去することにより、対応がなされている。

【0009】一方、垂直電荷転送部に存在する不要電荷を除去するためには、少なくとも1から数画面部の転送が必要となってしまう。

【0010】このような垂直電荷転送部の不要電荷を除去する方法として、一般的に、水平電荷転送部に隣接して不要電荷排出部を形成し、垂直電荷転送部の不要電荷を順方向に転送することにより、除去する方法が用いられている（例えば特願平8-120130号；本願出願時未公開）。

【0011】図9は、水平電荷転送部に隣接して電荷排出部を有する固体撮像装置の構成概略図であり、上記特願平8-120130号の記載に基づくものである。図9を参照すると、この固体撮像装置は、光電変換部101、垂直電荷転送部102、水平電荷転送部103、出力回路部104、電位障壁部105、不要電荷排出部106、第1の素子分離部107、第2の素子分離部108、及び、第3の素子分離部109から構成されている。

【0012】図10は、図9の破線で囲んだ領域である、水平電荷転送部103に隣接して電位障壁部105と不要電荷排出部106を有する領域の平面図であり、図10を参照すると、垂直電荷転送部201と、水平電荷転送部202と、電位障壁部203と、不要電荷排出部204と、第1の素子分離部205と第2の素子分離部206と、第3の素子分離部207と、第1の水平電荷転送電極208と、第2の水平電荷転送電極209、最終の垂直電荷転送電極210と、から構成されている。

【0013】図11は、図9及び図10の固体撮像装置のI-I'線の断面図（図11（A）参照）と、電位ポテンシャルを示す図（図11（B）参照）であり、不純物濃度が $2.0 \times 10^{14} \text{ cm}^{-3}$ 程度のN<sup>-</sup>型半導体基板301と、不純物濃度が $1.0 \times 10^{16} \text{ cm}^{-3}$ 程度のP型ウェル層302と、垂直電荷転送部と水平電荷転送部および電位障壁部の埋め込みチャンネルを構成する不純物濃度が $1.0 \times 10^{17} \text{ cm}^{-3}$ 程度のN型半導体領域303と、第1の素子分離部を構成する不純物濃度が $1.0 \times 10^{18} \text{ cm}^{-3}$ 程度の第1のP<sup>+</sup>型半導体領域306と、第1層の多結晶シリコン309からなる第1の水平電荷転送電極208と、第2層の多結晶シリコン310からなる最終の垂直電荷転送電極210と、から構成されている。ここで、不要電荷排出部を構成するN型半導体領域303及びN型半導体基板301には、電位障壁部の電位ポテンシャル $\Psi_B$ より深くなるような電圧 $V_{\text{sub}}$ が印加されている。

【0014】図12は、図9及び図10の固体撮像装置のII-II'線の断面図（図12（A）参照）と電位ポテンシャルを示す図（図12（B）参照）であり、不純物濃度が $2.0 \times 10^{14} \text{ cm}^{-3}$ 程度のN<sup>-</sup>型半導体基板301と、不純物濃度が $1.0 \times 10^{16} \text{ cm}^{-3}$ 程度のP型ウェル層302と、垂直電荷転送部と水平電荷転送部および電位障

壁部の埋め込みチャンネルを構成する不純物濃度が $1.0 \times 10^{17} \text{ cm}^{-3}$ 程度のN型半導体領域303と、第1の素子分離部を構成する不純物濃度が $1.0 \times 10^{18} \text{ cm}^{-3}$ 程度の第1のP<sup>+</sup>型半導体領域306と、第3の素子分離部を構成する不純物濃度が $1.0 \times 10^{18} \text{ cm}^{-3}$ 程度の第3のP<sup>+</sup>型半導体領域308と、第1層の多結晶シリコン309からなる第1の水平電荷転送電極208と、第2層の多結晶シリコン310からなる最終の垂直電荷転送電極210と、から構成されている。ここで、不要電荷排出部を構成するN型半導体領域303及びN型半導体基板301には、電位障壁部の電位ポテンシャル $\Psi_B$ より深くなるような電圧 $V_{\text{sub}}$ が印加されている。

【0015】図13は、図9及び図10の固体撮像装置のIII-III'線の断面図（図13（A）参照）と、電位ポテンシャルを示す図（図13（B）参照）であり、N<sup>-</sup>型半導体基板301と、P型ウェル層302と、垂直電荷転送部と水平電荷転送部および電位障壁部の埋め込みチャンネルを構成するN型半導体領域303および不純物濃度が $7.0 \times 10^{16} \text{ cm}^{-3}$ 程度のN<sup>-</sup>型半導体領域304と、浮遊拡散層およびリセットドレイン部を構成するN<sup>+</sup>型半導体領域305と、第1の素子分離部を構成する第1のP<sup>+</sup>型半導体領域306と第1層の多結晶シリコン309からなる第1の水平電荷転送電極208と第2層の多結晶シリコン310からなる第2の水平電荷転送電極209から構成されている。ここで、信号電荷のリセットドレインを構成するN<sup>+</sup>型半導体領域305には、通常15V程度の電源電圧 $V_0$ が印加されている。

【0016】図14は、図9及び図10の固体撮像装置のIV-IV'線の断面図（図14（A）参照）と、電位ポテンシャルを示す図（図14（B）参照）であり、N<sup>-</sup>型半導体基板301と、P型ウェル層302と、不要電荷排出部を構成するN型半導体領域303およびN<sup>-</sup>型半導体基板301と、第1の素子分離部を構成する第1のP<sup>+</sup>型半導体領域306と、第2の素子分離部を構成する第2のP<sup>+</sup>型半導体領域307と、第1層の多結晶シリコン309からなる第1の水平電荷転送電極208と、第2層の多結晶シリコン310からなる第2の水平電荷転送電極209から構成されている。ここで、前述したように、不要電荷排出部を構成するN型半導体領域303およびN型半導体基板301には、電圧 $V_{\text{sub}}$ が印加されている。

【0017】上述したような構造を有する固体撮像装置の動作として、光電変換部101に存在する不要電荷の除去は、光電変換部101を構成するN型半導体領域（図示せず）直下に濃度の薄いP<sup>-</sup>型半導体領域（図示せず）を形成し、N<sup>-</sup>型半導体基板301に、通常15V程度の電源電圧 $V_0$ より大きな逆バイアス電圧を印加することにより、該N型半導体領域自体を空乏化させて、信号電荷をすべてN<sup>-</sup>型半導体基板301に除去する。

【0018】上記動作と共に、垂直電荷転送部102に存在する不要電荷は、たとえば4相のクロックパルスにより、一斉に水平電荷転送部103に向けて転送される。

【0019】このとき、水平電荷転送電極208、209（図10参照）には、図15に示したように、 $\Phi H_1$ にハイレベル電圧 $V_H$ が、 $\Phi H_2$ にローレベル電圧 $V_L$ が印加されており、水平電荷転送部103で蓄積できない過剰電荷は、垂直電荷転送部102に逆戻りすることがないように、垂直水平接続部に形成される電位ポテンシャル $\Psi_{VH}$ より深くなるように形成された電位障壁部の電位ポテンシャル $\Psi_B$ を越えて、隣接して設置された不要電荷排出部105のN型半導体領域303を介してN型半導体基板301に吸収除去される。

【0020】その後、水平電荷転送部103に残留した不要電荷は、図15に示した2相のクロックパルスにより、水平電荷転送部の通常の高速度動作で、水平電荷転送部103端に設けられたリセットドレインのN型半導体領域306に吸収除去される。

【0021】続いて、所定の時間に入射した光量により光電変換部101に蓄積された信号電荷が対応する垂直電荷転送部102へと読み出された後、各垂直電荷転送部102中を垂直方向に転送された水平の1ライン毎に水平電荷転送部103へ送られ、水平電荷転送部103中を水平方向に転送され出力回路部104を介して出力される。

【0022】

【発明が解決しようとする課題】しかしながら、上述したような従来の固体撮像装置では、ナローチャンネル効果により電位障壁部の電位ポテンシャルを決定する第3の素子分離部207となる第3のP型半導体領域308（図12参照）の電位は、基準電位を供給している金属配線と接続された第1の素子分離部205となる第1のP型半導体領域306から、不純物濃度が $1.0 \times 10^{16} \text{ cm}^{-3}$ 程度のP型ウェル層302を介して供給されることになる。

【0023】このP型ウェル層302の電気抵抗は、第1の素子分離部205となる第1のP型半導体領域306や第3の素子分離部207となる第3のP型半導体領域308の電気抵抗に比べて、非常に高く（例えば、P型ウェル層302の電気抵抗 $50 \sim 100 \text{ k}\Omega/\square$ 程度、一方、第1、第3のP型半導体領域306、308の電気抵抗 $0.5 \text{ k}\Omega/\square$ 程度）なるために、上記ナローチャンネル効果により、電位障壁部の電位ポテンシャルを決定する第3の素子分離部207となる第3のP型半導体領域308の電位が不安定な状態となる。

【0024】さらに、水平電荷転送電極に電圧が印加された場合、図12に破線にて示したように、第3の素子分離部207となる第3のP型半導体領域308の電

位が変調されることになり、これに伴い、図11に破線にて示したように、電位障壁部の電位ポテンシャル $\Psi_B$ が変調され、深くなることにより、水平電荷転送部の電荷蓄積領域の電位ポテンシャル $\Psi_{HHS}$ と電位障壁部の電位ポテンシャル $\Psi_B$ の差で決定される水平電荷転送部の電荷転送容量が低下するという問題点があった。

【0025】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、水平電荷転送部に隣接して不要電荷排出部を有する固体撮像装置において、水平電荷転送電極に電圧が印加された場合、電位障壁部の電位ポテンシャルを決定する第3の素子分離部となる第3のP型半導体領域の電位が変調されることを抑制し、水平電荷転送部の電荷転送容量の低下を防ぐことができる固体撮像装置を提供することにある。

【0026】

【課題を解決するための手段】前記目的を達成するため、本発明の固体撮像装置は、第1導電型半導体基板の一主表面に形成された第2導電型半導体ウェル層表面内に形成され、第1の素子分離領域内に形成された出力回路部と、第1の素子分離領域と接続された第2の素子分離領域内に形成された2次的に複数個配置された光電変換部と、前記光電変換部に隣接して配置された複数個の垂直電荷転送部と、前記垂直電荷転送部の一端に隣接して配水平電荷転送部に隣接して不要電荷排出部を有する固体撮像装置において、水平電荷転送電極に電圧が印加された場合、電位障壁部の電位ポテンシャルを決定する第3の素子分離部となる第3のP型半導体領域の電位が変調されることを抑制し、水平電荷転送部の電荷転送容量の低下を防ぐことができ置かれた水平電荷転送部と、第3の素子分離領域内に形成され、第3の素子分離領域のナローチャンネル効果により形成された電位障壁部と、前記電位障壁部に隣接して、前記水平電荷転送部と反対側に配置され、前記第2導電型半導体ウェル層に対して逆方向に印加されている第1導電型半導体基板からなる不要電荷排出部と、を有している固体撮像装置において、前記第3の素子分離領域が、第1の素子分離領域と接続されていることを特徴とする。

【0027】また、本発明においては、前記電位障壁部と不要電荷排出部上に、絶縁膜を介して前記水平電荷転送部の電荷転送電極が形成されていてもよい。

【0028】さらに、本発明においては、前記不要電荷排出部となる第1導電型半導体基板表面に、前記水平電荷転送部の埋め込みチャンネルを構成する第1導電型半導体領域が形成されていてもよい。

【0029】さらにまた、本発明においては、前記第2の素子分離部と第3の素子分離部が同一であってもよい。

【0030】本発明においては、前記第2導電型半導体ウェル層に対して逆方向に印加されている第1導電型半導体基板からなる前記不要電荷排出部に印加される電圧

と前記電位障壁部の電位ポテンシャルの電位差が、0.5V以上であることが望ましい。

#### 【0031】

【発明の実施の形態】本発明の実施の形態について以下に説明する。本発明の固体撮像装置は、その好まし実施の形態において、垂直電荷転送部（図2の201）と、水平電荷転送部（図2の202）と、電位障壁部（図2の203）と、不要電荷排出部（図2の204）と、第1の素子分離部（図2の205）と、第2の素子分離部（図2の206）と、第3の素子分離部（図2の207）と、第1の水平電荷転送電極（図2の208）と、第2の水平電荷転送電極（図2の209）と、最終の垂直電荷転送電極（図2の210）と、を備えて構成され、ナローチャンネル効果により電位障壁部の電位ポテンシャルを決定する第3の素子分離部（図2の207）を凸形状に形成し、その凸部が、基準電位供給している金属配線と接続された第1の素子分離部（図2の205）の縁と接触して形成されている。第3のP<sup>+</sup>型半導体領域に、高不純物濃度で、かつ低抵抗の第1のP<sup>+</sup>型半導体領域を介して電位を供給することができる。

【0032】このため、この実施の形態によれば、水平電荷転送電極に電圧が印加された場合、電位障壁部の電位ポテンシャルを決定する第3の素子分離部となる第3のP<sup>+</sup>型半導体領域の電位が変調されることを抑制し、安定化を図ることができ、水平電荷転送部の電荷蓄積領域の電位ポテンシャル（ $\Psi_{HHS}$ ）と電位障壁部の電位ポテンシャル（ $\Psi_B$ ）の差で決定される水平電荷転送部の電荷転送容量の低下を防ぐことができる。

【0033】また、本発明の固体撮像装置は、その好ましい第2の実施の形態において、基準電位供給している金属配線と接続された第1の素子分離部となる第1のP<sup>+</sup>型半導体領域（図8の205）を凸形状に形成し、凸部をナローチャンネル効果により電位障壁部の電位ポテンシャルを決定する第3の素子分離部（図8の207）となる第3のP<sup>+</sup>型半導体領域と接触して形成したことにより、第3のP<sup>+</sup>型半導体領域に、高不純物濃度で、かつ低抵抗の第1のP<sup>+</sup>型半導体領域を介して電位を供給することができる。

#### 【0034】

【実施例】上記した本発明の実施の形態について更に詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0035】図1は、本発明の第1の実施例をなす、水平電荷転送部に隣接して電荷排出部を有する固体撮像装置の構成概略を示す平面図である。図1を参照すると、この実施例の固定撮像装置は、光電変換部101、垂直電荷転送部102、水平電荷転送部103、出力回路部104、電位障壁部105、不要電荷排出部106、第1の素子分離部107、第2の素子分離部108、及び、第3の素子分離部109を備えて構成されている。

【0036】図2は、図1の破線で囲んだ領域である、水平電荷転送部103に隣接して電位障壁部105と不要電荷排出部106を有する領域の平面図である。図2を参照すると、垂直電荷転送部201と、水平電荷転送部202と、電位障壁部203と、不要電荷排出部204と、第1の素子分離部205と、第2の素子分離部206と、第3の素子分離部207と、第1の水平電荷転送電極208と、第2の水平電荷転送電極209と、最終の垂直電荷転送電極210と、から構成されている。

【0037】図1、及び図2を参照すると、本発明の第1の実施例の固体撮像装置が、図9及び図10に示した、上記特願平8-120130号の記載に基づく固体撮像装置と相違する点は、ナローチャンネル効果により、電位障壁部の電位ポテンシャルを決定する第3の素子分離部109、207を凸形状に形成し、凸部を基準電位供給している金属配線と接続された第1の素子分離部107、205と接触して形成されている、ことである。

【0038】図3は、図1及び図2の本発明の第1の実施例の固体撮像装置のI-I'線の断面図（図3（A）参照）と、電位ポテンシャルを示す図（図3（B）参照）である。図3を参照すると、本発明の第1の実施例においては、図11に示した従来の固体撮像装置のI-I'線の断面図と電位ポテンシャルを示す図と同じ構成となっており、不要電荷排出部を構成するN型半導体領域303及びN型半導体基板301には、電位障壁部の電位ポテンシャル $\Psi_B$ より深くなるような電圧 $V_{sub}$ が印加されている。この場合、電圧 $V_{sub}$ と電位ポテンシャル $\Psi_B$ 間の電位差は0.5V以上有ることが望ましい。

【0039】図4は、図1及び図2の本発明の第1の実施例の固体撮像装置のII-II'線の断面図（図4（A）参照）と電位ポテンシャルを示す図（図4（B）参照）である。図4を参照すると、不純物濃度が $2.0 \times 10^{14} \text{ cm}^{-3}$ 程度のN<sup>++</sup>型半導体基板301と、不純物濃度が $1.0 \times 10^{16} \text{ cm}^{-3}$ 程度のP型ウェル層302と、垂直電荷転送部と水平電荷転送部および電位障壁部の埋め込みチャンネルを構成する不純物濃度が $1.0 \times 10^{17} \text{ cm}^{-3}$ 程度のN型半導体領域303と、第1の素子分離部を構成する不純物濃度が $1.0 \times 10^{18} \text{ cm}^{-3}$ 程度の第1のP<sup>+</sup>型半導体領域306と、第3の素子分離部を構成する不純物濃度が $1.0 \times 10^{18} \text{ cm}^{-3}$ 程度の第3のP<sup>+</sup>型半導体領域308と、第1層の多結晶シリコン309からなる第1の水平電荷転送電極208と、第2層の多結晶シリコン310からなる最終の垂直電荷転送電極210と、から構成されている。ここで、不要電荷排出部を構成するN型半導体領域303及びN型半導体基板301には、電位障壁部の電位ポテンシャル $\Psi_B$ より深くなるような電圧 $V_{sub}$ が印加されている。この場合、電圧 $V_{sub}$ と電位ポテンシャル $\Psi_B$ 間の電位差は0.5V以上有ることが望ましい。

【0040】図4を参照すると、本発明の第1の実施例の固体撮像装置が、図12に示した固体撮像装置と相違する点は、基準電位供給している金属配線と接続された第1の素子分離部107、205となる第1のP<sup>+</sup>型半導体領域306と、ナローチャンネル効果により電位障壁部の電位ポテンシャルを決定する第3の素子分離部109、207となる第3のP<sup>+</sup>型半導体領域308とが接触して形成されている、ことである。

【0041】図5は、図1及び図2の本発明の第1の実施例の固体撮像装置のIII-III'線の断面図(図5

(A)参照)と、電位ポテンシャルを示す図(図5

(B)参照)であり、図13に示した従来の固体撮像装置のIII-III'線の断面図と電位ポテンシャルを示す図と同じ構成となっており、信号電荷のリセットドレインを構成するN<sup>+</sup>型半導体領域305には、通常15V程度の電源電圧V<sub>D</sub>が印加されている。

【0042】図6は、図1及び図2の本発明の第1の実施例の固体撮像装置のIV-IV'面の断面図(図6(A)参照)と、電位ポテンシャルを示す図(図6(B)参照)であり、N<sup>-</sup>型半導体基板301と、P型ウェル層302と、不要電荷排出部を構成するN型半導体領域303およびN<sup>-</sup>型半導体基板301と、第1の素子分離部を構成する第1のP<sup>+</sup>型半導体領域306と、第2の素子分離部を構成する第2のP<sup>+</sup>型半導体領域307と、第1層の多結晶シリコン309からなる第1の水平電荷転送電極208と、第2層の多結晶シリコン310からなる第2の水平電荷転送電極209から構成されている。ここで、前述したように不要電荷排出部を構成するN型半導体領域303およびN型半導体基板301には、電圧V<sub>sub</sub>が印加されている。

【0043】図6より、本発明の第1の実施例の固体撮像装置が、図14の固体撮像装置と相違する点は、電位障壁部105、203に隣接した不要電荷排出部106、204となるN型半導体領域303が離散的に形成されており、その間に、図4に示したように、基準電位供給している第1の素子分離部107、205となる第1のP<sup>+</sup>型半導体領域306と接続するため、ナローチャンネル効果により電位障壁部の電位ポテンシャルを決定する第3の素子分離部109、207となる第3のP<sup>+</sup>型半導体領域308が形成されている、ことである。

【0044】上述したような構造を有する本発明の第1の実施例の固体撮像装置の動作も、図9及び図10を参照して説明した固体撮像装置の動作と同様に、光電変換部101に存在する不要電荷の除去は、光電変換部101を構成するN型半導体領域(図示せず)直下に濃度の薄いP<sup>+</sup>型半導体領域(図示せず)を形成し、N<sup>-</sup>型半導体基板301に、通常15V程度の電源電圧V<sub>D</sub>より大きな逆バイアス電圧を印加することにより、前記N型半導体領域自体を空乏化させ信号電荷をすべてN<sup>-</sup>型半導体基板301に除去する。

【0045】上記動作と共に、垂直電荷転送部102に存在する不要電荷は、たとえば4相のクロックパルスにより、一斉に水平電荷転送部103に向けて転送される。このとき、水平電荷転送電極208、209には、図15に示したように、Φ<sub>H1</sub>にハイレベル電圧V<sub>H</sub>が、Φ<sub>H2</sub>にローレベル電圧V<sub>L</sub>が印加されており、水平電荷転送部103で蓄積できない過剰電荷は垂直電荷転送部102に逆戻りすることがないように、垂直水平接続部に形成される電位ポテンシャルψ<sub>VH</sub>よりも深くなるように形成された電位障壁部の電位ポテンシャルψ<sub>B</sub>を越えて、隣接した設置された不要電荷排出部105のN型半導体領域303を介してN<sup>-</sup>型半導体基板301に吸収除去される。

【0046】その後、水平電荷転送部103に残留した不要電荷は、図15に示した2相のクロックパルスにより、水平電荷転送部の通常の高速動作で、水平電荷転送部103端に設けられたリセットドレインのN<sup>+</sup>型半導体領域306に吸収除去される。

【0047】続いて、所定の時間に入射した光量により光電変換部101に蓄積された信号電荷が対応する垂直電荷転送部102へと読み出された後、各垂直電荷転送部102中を垂直方向に転送された水平の1ライン毎に水平電荷転送部103へ送られ、水平電荷転送部103中を水平方向に転送され出力回路部104を介して出力される。

【0048】次に、本発明の第2の実施例について図面を参照して説明する。

【0049】図7は、本発明の第2の実施例の、水平電荷転送部に隣接して電荷排出部を有する固体撮像装置の構成概略を図である。図7を参照すると、本発明の第2の実施例の固体撮像装置は、光電変換部101、垂直電荷転送部102、水平電荷転送部103、出力回路部104、電位障壁部105、不要電荷排出部106、第1の素子分離部107、第2の素子分離部108、及び、第3の素子分離部109を備えて構成されている。

【0050】図8は、図7の破線で囲んだ領域である、本発明の第1の実施例の水平電荷転送部103に隣接して電位障壁部105と不要電荷排出部106を有する領域の平面図である。図8を参照すると、垂直電荷転送部201と、水平電荷転送部202と、電位障壁部203と、不要電荷排出部204と、第1の素子分離部205と、第2の素子分離部206と、第3の素子分離部207と、第1の水平電荷転送電極208と、第2の水平電荷転送電極209と、最終の垂直電荷転送電極210と、から構成されている。

【0051】図7、及び図8を参照すると、本発明の第2の実施例の固体撮像装置が、図9、及び図10を参照して説明した固体撮像装置と相違する点は、基準電位供給している金属配線と接続された第1の素子分離部107、205を凸形状に形成し、凸部をナローチャンネル

効果により電位障壁部の電位ポテンシャルを決定する第3の素子分離部109、207と接触して形成されている、ことである。

【0052】上述したような構造を有する本発明の第2の実施例の固体撮像装置の動作も、上記した従来の固体撮像装置、および、発明の第1の実施例の固体撮像装置と同様に動作させることができる。

【0053】なお、上記した本発明の第1、第2の実施例では、第2の素子分離部となる第2のP<sup>+</sup>型半導体領域と、第3の素子分離部となる第3のP<sup>+</sup>型半導体領域と、を個別に記載したが、同一の工程で作成された同一の素子分離部となるP<sup>+</sup>型半導体領域でもよい。

【0054】また、上記した本発明の第1、第2の実施例では、埋め込み型の電荷転送装置について記述したが、表面型の電荷転送装置においても、同様に適応できることは言うまでもない。

【0055】

【発明の効果】以上説明したように、本発明の固体撮像装置によれば、ナローチャンネル効果により電位障壁部の電位ポテンシャルを決定する第3の素子分離部となる第3のP<sup>+</sup>型半導体領域を凸形状に形成し、基準電位供給している金属配線と接続された第1の素子分離部となる第1のP<sup>+</sup>型半導体領域と接触して形成したことにより、第3のP<sup>+</sup>型半導体領域に、高不純物濃度で、かつ低抵抗の第1のP<sup>+</sup>型半導体領域を介して電位を供給することができる、という効果を奏する。

【0056】また、本発明の固体撮像装置は、基準電位供給している金属配線と接続された第1の素子分離部となる第1のP<sup>+</sup>型半導体領域を凸形状に形成し、凸部をナローチャンネル効果により電位障壁部の電位ポテンシャルを決定する第3の素子分離部となる第3のP<sup>+</sup>型半導体領域と接触して形成したことにより、第3のP<sup>+</sup>型半導体領域に、高不純物濃度で、かつ低抵抗の第1のP<sup>+</sup>型半導体領域を介して電位を供給することができるという効果を奏する。

【0057】このため、本発明の固体撮像装置によれば、水平電荷転送電極に電圧が印加された場合、電位障壁部の電位ポテンシャルを決定する第3の素子分離部となる第3のP<sup>+</sup>型半導体領域の電位が変調されるのを抑制し、安定化を図ることができ、水平電荷転送部の電荷蓄積領域の電位ポテンシャル $\psi_{HHS}$ と電位障壁部の電位ポテンシャル $\psi_B$ の差で決定される水平電荷転送部の電荷転送容量の低下を防ぐことができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例をなす、水平電荷転送部に隣接して電荷排出部を有する固体撮像装置の構成の概略を示す平面図である。

【図2】本発明の第1の実施例の水平電荷転送部に隣接して電荷排出部を有する領域の平面図である。

【図3】(A)は本発明の第1の実施例の固体撮像装置のI-I'線の断面図、(B)は電位ポテンシャルを示す図である。

【図4】(A)本発明の第1の実施例の固体撮像装置のII-II'線の断面図、(B)は電位ポテンシャルを示す図である。

【図5】(A)は本発明の第1の実施例の固体撮像装置のIII-III'線の断面図、(B)は電位ポテンシャルを示す図である。

【図6】(A)は本発明の第1の実施例の固体撮像装置のIV-IV'線の断面図、(B)は電位ポテンシャルを示す図である。

【図7】本発明の第2の実施例をなす、水平電荷転送部に隣接して電荷排出部を有する固体撮像装置の構成の概略を示す平面図である。

【図8】本発明の第2の実施例の水平電荷転送部に隣接して電荷排出部を有する領域の平面図である。

【図9】従来の、水平電荷転送部に隣接して電荷排出部を有する固体撮像装置の構成概略を示す平面図である。

【図10】従来の水平電荷転送部に隣接して電荷排出部を有する領域の平面図である。

【図11】(A)は従来の固体撮像装置のI-I'線の断面図、(B)は電位ポテンシャルを示す図である。

【図12】(A)は従来の固体撮像装置のII-II'線の断面図、(B)は電位ポテンシャルを示す図である。

【図13】(A)は従来の固体撮像装置のIII-III'線の断面図、(B)は電位ポテンシャルを示す図である。

【図14】(A)は従来の固体撮像装置のIV-IV'線の断面図、(B)は電位ポテンシャルを示す図である。

【図15】従来の固体撮像装置の水平電荷転送部に印加されるクロックパルスの一例である。

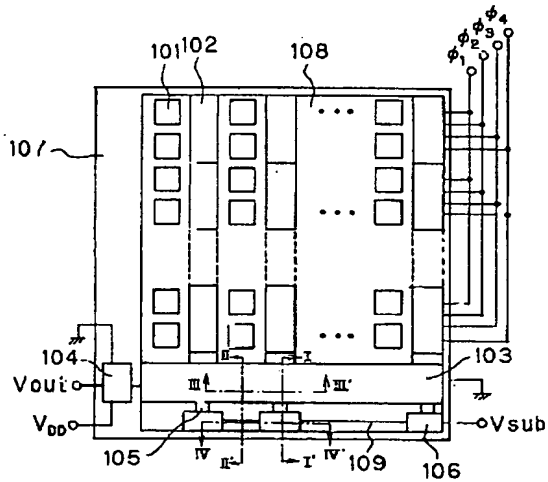
【符号の説明】

- 101 光電変換部
- 102 垂直電荷転送部
- 103 水平電荷転送部
- 104 出力回路部
- 105 電位障壁部
- 106 不要電荷排出部
- 107 第1の素子分離部
- 108 第2の素子分離部
- 109 第3の素子分離部
- 201 垂直電荷転送部
- 202 水平電荷転送部
- 203 電位障壁部
- 204 不要電荷排出部
- 205 第1の素子分離部
- 206 第2の素子分離部
- 207 第3の素子分離部
- 208 第1の水平電荷転送電極
- 209 第2の水平電荷転送電極



- 210 最終の垂直電荷転送電極
- 301 N<sup>++</sup>型半導体基板
- 302 P型ウェル層
- 303 N型半導体領域
- 304 N<sup>-</sup>型半導体領域
- 305 N<sup>+</sup>型半導体領域

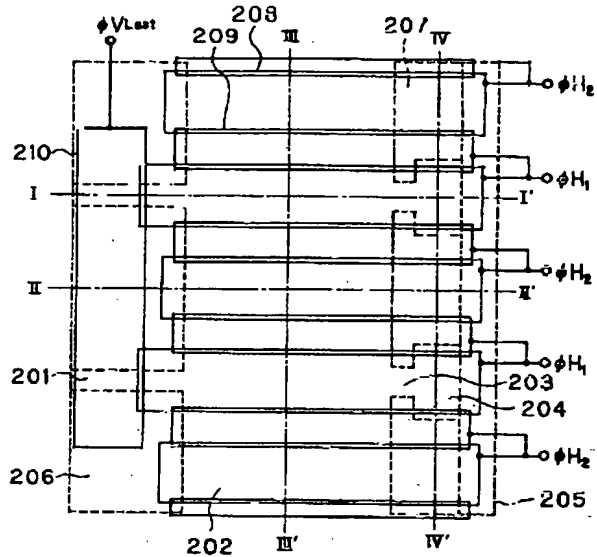
【図1】



- 101;光電変換部
- 102;垂直電荷転送部
- 103;水平電荷転送部
- 104;出力回路部
- 105;電位障壁部
- 106;不要電荷排出部
- 107;第10の素子分離部
- 108;第2の素子分離部
- 109;第3の素子分離部

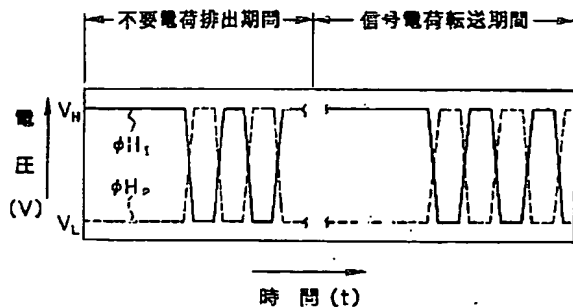
- 306 第1のP<sup>+</sup>型半導体領域
- 307 第2のP<sup>+</sup>型半導体領域
- 308 第3のP<sup>+</sup>型半導体領域
- 309 第1層の多結晶シリコン
- 310 第2層の多結晶シリコン
- 311 絶縁膜

【図2】

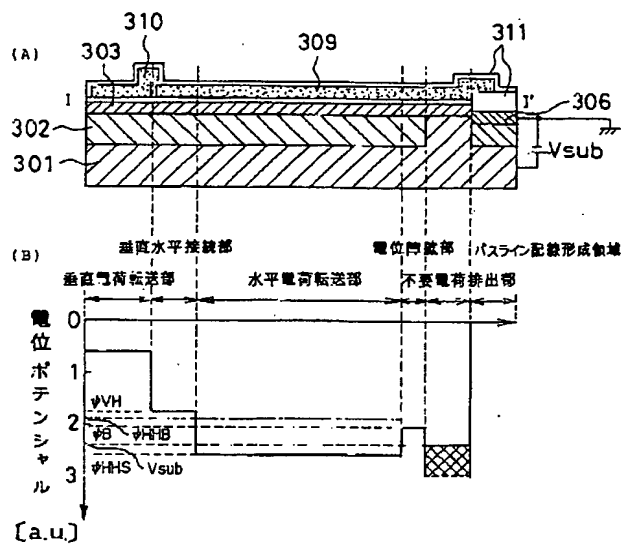


- 201;垂直電荷転送部
- 202;水平電荷転送部
- 203;電位障壁部
- 204;不要電荷排出部
- 205;第10の素子分離部
- 206;第2の素子分離部
- 207;第3の素子分離部
- 208;第10の水平電荷転送電極
- 209;第2の水平電荷転送電極
- 210;最終の垂直電荷転送電極

【図15】

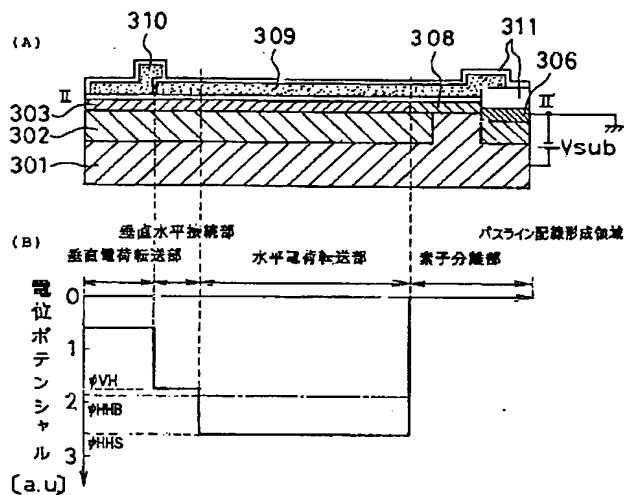


【図3】



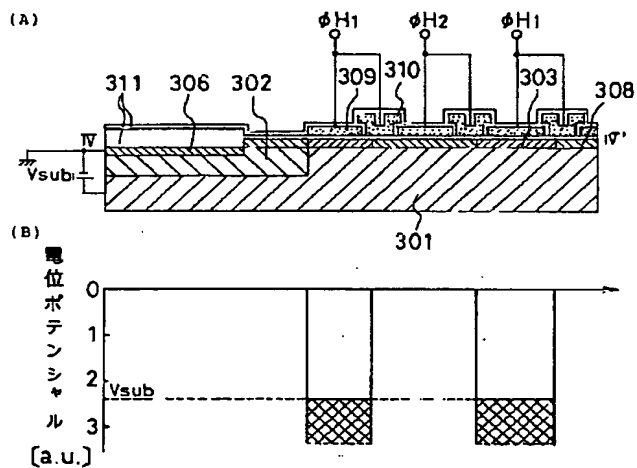
301;N<sup>-</sup>型半導体基板  
 302;P型ウエル層  
 303;N型半導体領域  
 306;第1のP<sup>+</sup>型半導体領域  
 309;第1層の多結晶シリコン  
 310;第2層の多結晶シリコン  
 311;絶縁膜

【図4】



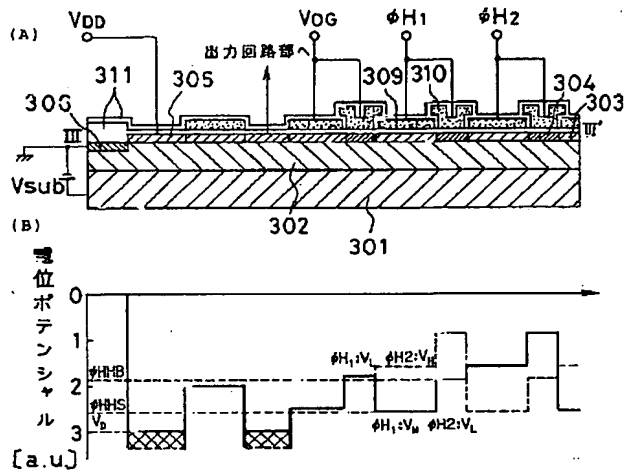
301;N<sup>-</sup>型半導体基板  
 302;P型ウエル層  
 303;N型半導体領域  
 306;第1のP<sup>+</sup>型半導体領域  
 308;第3のP<sup>+</sup>型半導体領域  
 309;第1層の多結晶シリコン  
 310;第2層の多結晶シリコン  
 311;絶縁膜

【図6】



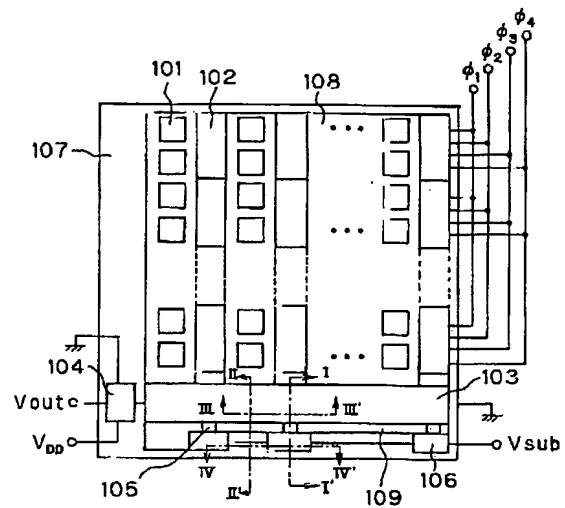
301;N<sup>-</sup>型半導体基板  
 302;P型ウエル層  
 303;N型半導体領域  
 306;第1のP<sup>+</sup>型半導体領域  
 308;第3のP<sup>+</sup>型半導体領域  
 309;第1層の多結晶シリコン  
 310;第2層の多結晶シリコン  
 311;絶縁膜

【図5】



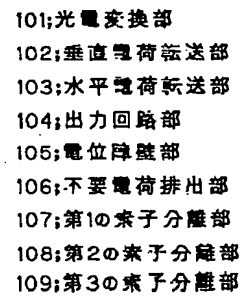
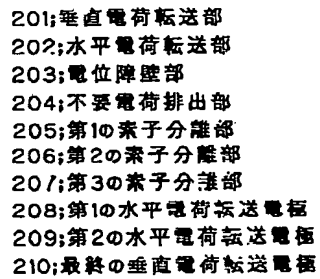
301;N<sup>-</sup>型半導体基板  
 302;P型ウェル層  
 303;N型半導体領域  
 304;N<sup>-</sup>型半導体領域  
 305;N<sup>+</sup>型半導体領域  
 306;第1のP<sup>+</sup>型半導体領域  
 309;第1層の多結晶シリコン  
 310;第2層の多結晶シリコン  
 311;絶縁膜

【図7】

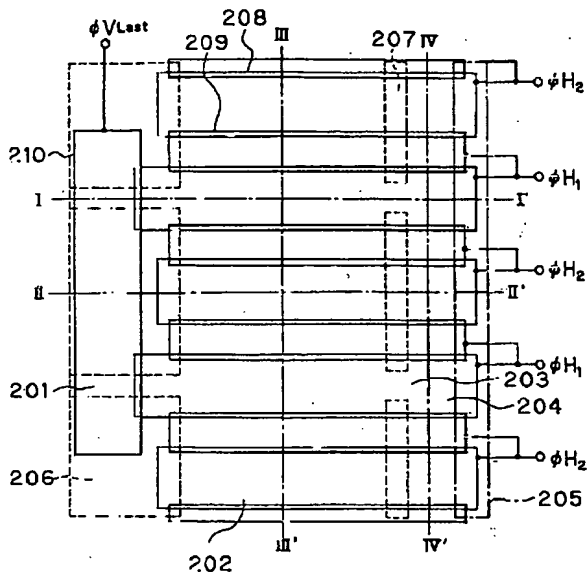


101;光電変換部  
 102;垂直電荷転送部  
 103;水平電荷転送部  
 104;出力回路部  
 105;電位障壁部  
 106;不要電荷排出部  
 107;第1の素子分離部  
 108;第2の素子分離部  
 109;第3の素子分離部

【図9】

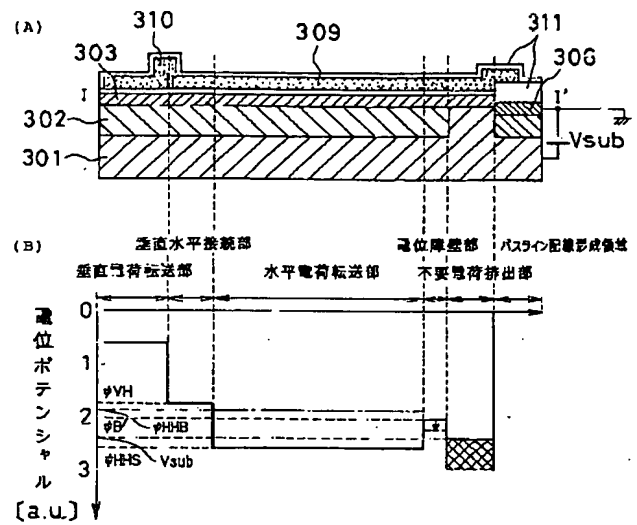


【図10】



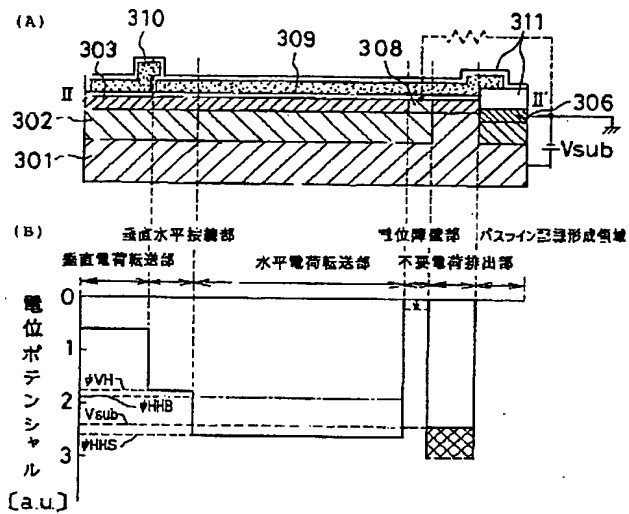
- 201; 垂直電荷転送部
- 202; 水平電荷転送部
- 203; 電位障壁部
- 204; 不要電荷排出部
- 205; 第1の素子分離部
- 206; 第2の素子分離部
- 207; 第3の素子分離部
- 208; 第1の水平電荷転送電極
- 209; 第2の水平電荷転送電極
- 210; 最終の垂直電荷転送電極

【図11】



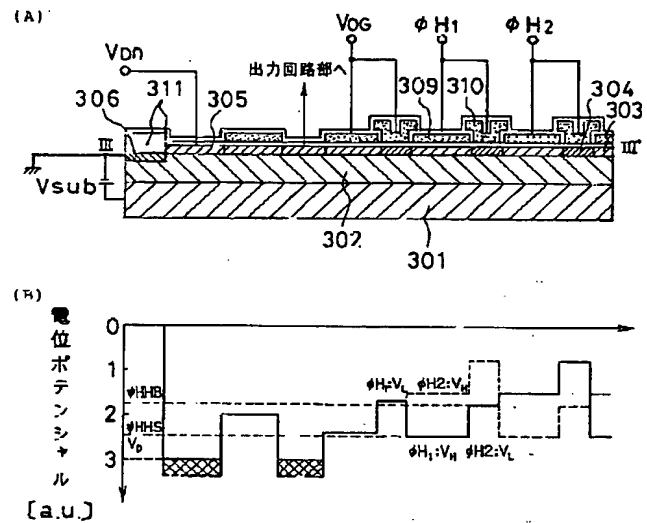
- 301; N型半導体基板
- 302; P型ウェル層
- 303; N型半導体領域
- 306; 第1のP型半導体領域
- 309; 第1層の多結晶シリコン
- 310; 第2層の多結晶シリコン
- 311; 絶縁膜

【図12】



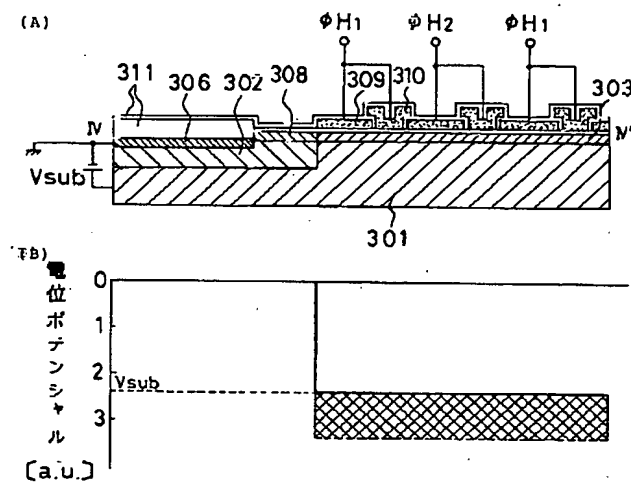
301;N<sup>-</sup>型半導体基板  
 302;P型ウエル層  
 303;N型半導体領域  
 306;第1のP<sup>+</sup>型半導体領域  
 308;第3のP<sup>+</sup>型半導体領域  
 309;第1層の多結晶シリコン  
 310;第2層の多結晶シリコン  
 311;絶縁膜

【図13】



301;N<sup>-</sup>型半導体基板  
 302;P型ウエル層  
 303;N型半導体領域  
 304;N<sup>-</sup>型半導体領域  
 305;N<sup>+</sup>型半導体領域  
 306;第1のP<sup>+</sup>型半導体領域  
 309;第1層の多結晶シリコン  
 310;第2層の多結晶シリコン  
 311;絶縁膜

【図14】



- 301;N<sup>-</sup>型半導体基板
- 302;P型ウエル層
- 303;N型半導体領域
- 306;第1のP<sup>+</sup>型半導体領域
- 308;第3のP<sup>+</sup>型半導体領域
- 309;第1層の多結晶シリコン
- 310;第2層の多結晶シリコン
- 311;絶縁膜

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**